Цель работы: Исследование и синтез логических элементов и устройств на их основе.

**3.1.1 Логические элементы**

Известно, что математической основой цифровых вычислительных устройств является двоичная арифметика, в которой используются всего два числа – 0 и 1. Выбор двоичной системы счисления диктовался требованиями простоты технической реализации самых сложных задач с использованием всего одного базового элемента - ключа, который имеет два состояния: включен (замкнут) или выключен (разомкнут). В цифровой технике практические аналоги такого ключа принято называть логическими элементами. При этом в зависимости от выполняемых функций каждый элемент имеет свое название и соответствующее графическое обозначение. На рисунке 3.1 показаны обозначения базовых логических элементов, принятые в программе EWB 4.1.



Рисунок 3.1 - Графические обозначения буферного логического элемента, элементов И (АND), ИЛИ (ОR). Исключающее ИЛИ (XOR) и их инверсные варианты во втором ряду (NOT, NАND, NOR, XNOR соответственно)

**3.1.2 Логический элемент с тремя состояниями**

Схема логического элемента с тремя состояниями несколько модифицирована с учетом возможностей программы EWB. За основу взят базовый элемент серии 134 и к нему добавлен элемент, обеспечивающий возможность реализации режима третьего состояния или так называемого Z-состояния. Следует отметить, что рассматриваемый элемент является важным компонентом многих цифровых ИМС, начиная от простейших логических элементов (например, К155ЛА9) и кончая сложными регистрами и шинными формирователями, обеспечивающими возможность реализации наиболее

14

распространенных архитектур ЭВМ и микропроцессорных систем управления с общей шиной.

Принципиальная схема логического элемента с тремя состояниями представлена на рисунке 3.2. Она содержит базовый логический элемент серии 134 на транзисторах VT1 ... VT 4, резисторах R1...R4 и диоде VD2. В базовом элементе в качестве VТ1 используется так называемый многоэмиттерный транзистор, однако ввиду отсутствия такового в библиотеке EWB он представлен обычным транзистором. Ко входу In логического элемента подключен имитатор входного сигнала на переключателе D, управляемый с клавиатуры клавишей D, резистора Rd, имитирующего выходное сопротивление источника логического нуля, и источника напряжения V=+5 В с внутренним сопротивлением 1 кОм, имитирующего источник входного сигнала в режиме генерации логической единицы. К точке А схемы подключены диод VD1 и имитатор источника управления состоянием выхода логического элемента на переключателе Е, управляемого клавишей Е. Все элементы дополнительной схемы компоненты из библиотек Passive и Control. В исходном состоянии диод VD1 закрыт напряжением положительной полярности на его катоде и он не оказывает влияния на работу схемы. К эмиттеру транзистора VT1 подключен резистор Rd, на котором создается падение напряжения

Uin=Rd(Ucc-Ube)/(R1+Rd), (3.1)

где Ucc=5 В – напряжение питания;

Ube=0,7 В – напряжение база-эмиттер открытого транзистора.

|  |  |
| --- | --- |
| При Uin<0,4В | (3.2) |

логический элемент воспринимает входной сигнал как сигнал логического нуля. При этом напряжение на коллекторе транзистора VT1 и базе VT2 недостаточно для открывания последнего. В результате падение напряжения на резисторе R3 близко к нулю и транзистор VT4 будет закрыт, а база транзистора VTЗ соединена с источником питания Ucc через резистор R2 и VTЗ будет открыт. При этом выходное напряжение Uy, измеряемое мультиметром, примерно равно

|  |  |
| --- | --- |
| Uy=(Ucc-UКБ НАС-UПР)Ry/(Ry+R4), | (3.3) |

где UКБ НАС <1 В – напряжение насыщения транзистора VT4; UПР <1 В – падение напряжения на диоде VD2;

Ry – сопротивление нагрузки, равное в данном случае входному сопротивлению мультиметра.

Если выбрать Ry»R4, то Uy>3 В, т.е. при подаче на вход сигнала логического нуля на выходе получим сигнал логической единицы. Таким образом, схема на рисунке 3.2 является логическим элементом НЕ (инвертором).

15



Рисунок 3.2 - Логический элемент с тремя состояниями

При переводе клавишей D одноименного переключателя в другое положение на эмиттер транзистора VT1 подается сигнал логической единицы, в результате чего эмиттерный переход закрывается, и транзистор VT1 переводится

* инверсный режим. В этом случае под действием тока, протекающего по цепи база-коллектор VT1, транзистор VT2 открывается и за счет падения напряжения на резисторах R2, R3 транзистор VTЗ закроется, а VT4 – откроется, и на выходе Y установится сигнал логического нуля.

При переводе клавишей Е одноименного переключателя во второе положение напряжение коллектора транзистора VT2 (точка А) будет равно

|  |  |
| --- | --- |
| Uа= UПР +(Ucc- UПР)Rd/(Rd+R2), | (3.4) |

При выполнении неравенства R2»Rd напряжение UПР <1В, что недостаточно для открытия двух переходов (эмиттерного и диодного), и транзистор VTЗ будет закрыт вне зависимости от состояния транзистора VT2. Если этот транзистор открыт (наихудший случай), то с учетом его напряжения насыщения, сравнимого с UПР падение напряжения на резисторе R3 будет ничтожно малым, следовательно, транзистор VT4 будет закрыт. Таким образом, выход схемы полностью отключается от нагрузки, что может быть зафиксировано мультиметром в режиме омметра – он будет измерять очень большое сопротивление.

Кроме демонстрации рассмотренных режимов схемы, она может быть использована также для исследования:

* + помехоустойчивости по основному входу и входу разрешения третьего состояния путем варьирования сопротивления Rd с учетом выражений (3.1), (3.2)
* (3.4):
	+ влияния сопротивления нагрузки на амплитуду выходного напряжения вентиля при формировании сигнала логической единицы путем изменения входного сопротивления мультиметра с учетом выражения (3.3).
	+ влияния сопротивления нагрузки, подключенной между выходом и шиной питания Ucc, на выходное напряжение вентиля при формировании сигнала логического нуля.
	+ влияния емкостной нагрузки на форму и амплитуду выходного сигнала вентиля.

16

**3.1.3 Контрольные вопросы и задания**

3.1.3.1 Какими свойствами обладает логический элемент с тремя состояния-ми, какие задачи цифровой техники он позволил решить?

3.1.3.2 Проведите исследования логического элемента на рисунке 3.2.

3.1.3.3 Синтезировать на ТТЛ логике элементы: ИЛИ-НЕ, инвертор, И-НЕ с сложным инвертором.

3.1.3.4 Синтезировать элемент НЕ на МДП в положительной и отрицатель-ной логике.

3.1.3.5 Синтезировать на МДП логике элементы: ИЛИ-НЕ, И-НЕ, ИЛИ, И.

3.1.3.6 Синтезировать на КМДП логике элементы: ИЛИ-НЕ, И-НЕ.

3.1.3.7 Случайным образом сформировать 40 значений таблицы истинности логической функции 6 переменных.

3.1.3.8 Реализовать функцию из 7 задания логических элементах в базисе И-НЕ.

3.1.3.9 Реализовать функцию из 7 задания на логических элементах в базисе ИЛИ-НЕ.